

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-100671
 (43)Date of publication of application : 05.04.2002

(51)Int.Cl.	H01L 21/76 H01L 21/762
-------------	---------------------------

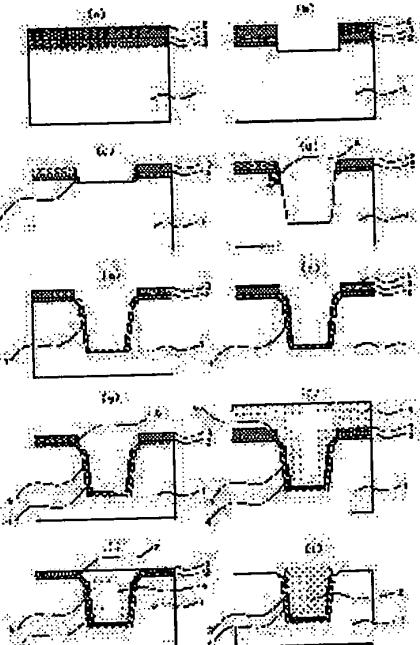
(21)Application number : 2000-285827	(71)Applicant : HITACHI LTD
(22)Date of filing : 20.09.2000	(72)Inventor : ISHIZUKA NORIO MIURA HIDEO SUZUKI NORIO IKEDA SHUJI OTA HIROYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a high reliable semiconductor device by suppressing generation of foreign materials and electric field concentrations by preventing the excess removal of an oxide film.

SOLUTION: A fixed portion of a pad oxide film 2 and a first silicon nitride film 3 or the like formed on the surface of a silicon substrate 1 are removed. A CVD oxide film 9 is only formed on side walls of the silicon nitride film 3 and the pad oxide film 2, and the inclined portion of the exposed portion of the silicon substrate 1 adjoining to the pad oxide 2 before a trench is formed. A thermal oxide film 4 and a secondary silicon nitride film 5 are formed under a condition that the angle θ_2 of the side wall portion is smaller than that of θ_1 of the trench upper end portion after the CVD oxide film 9 is removed. The silicon nitride film 5 in the trench upper end portion is removed by anisotropic dry etching method. By this, the silicon nitride film 5 on the side wall in the trench may not be removed when the silicon nitride film 3 is removed so that no silicon nitride film is present in the trench upper end portion.



LEGAL STATUS

[Date of request for examination] 01.04.2002

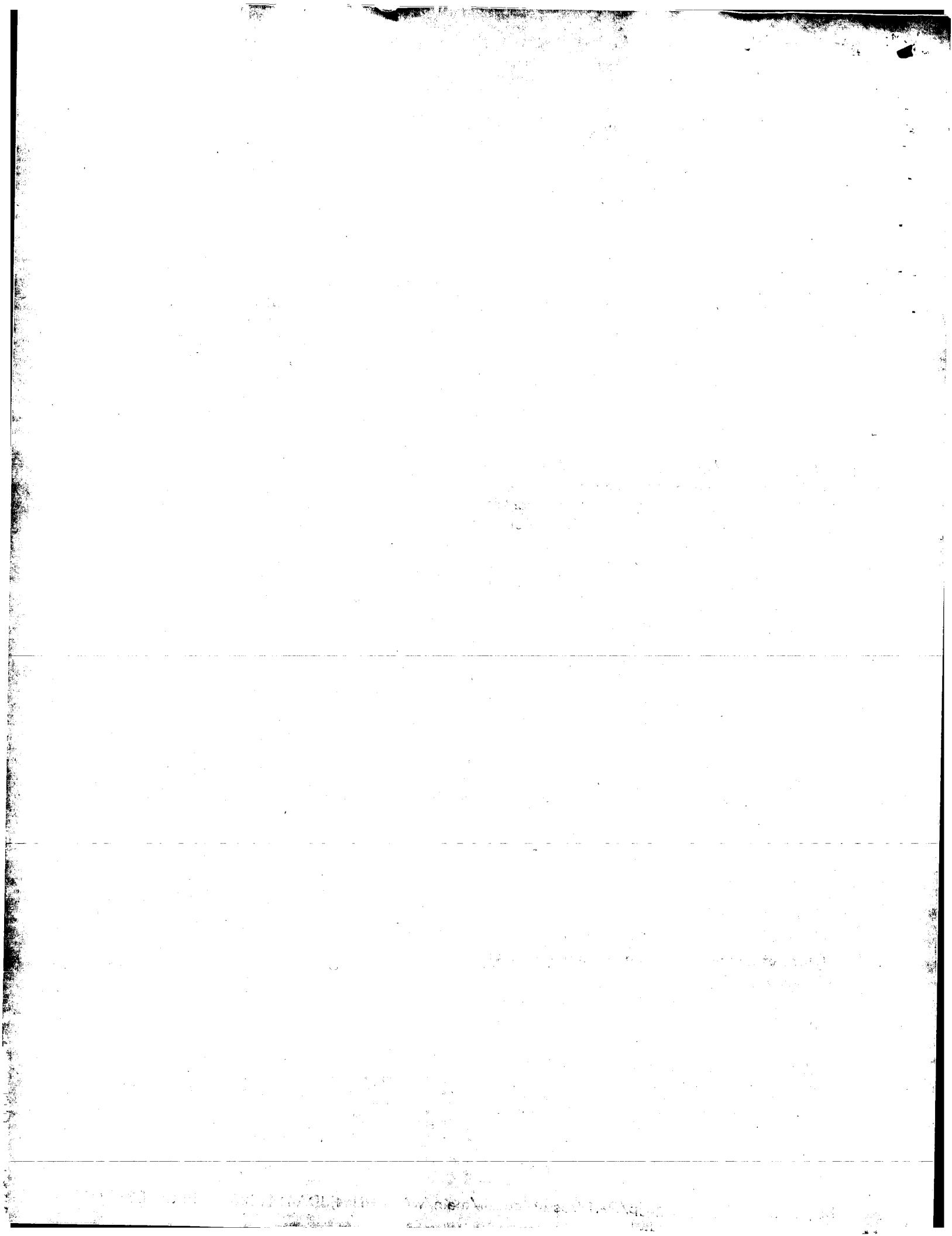
[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

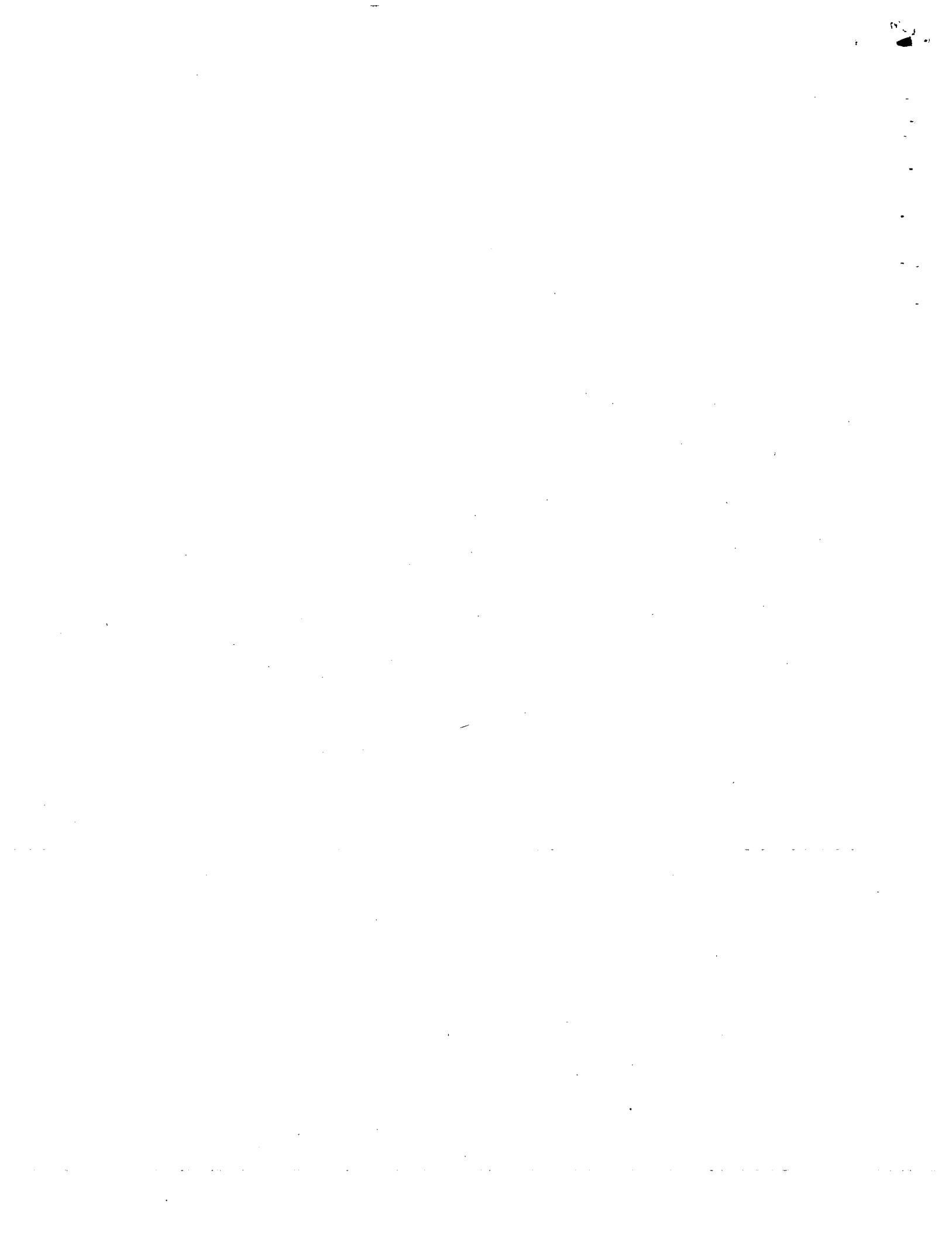


[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



類似技術

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-100671

(P2002-100671A)

(43) 公開日 平成14年4月5日(2002.4.5)

(51) Int.Cl.

識別記号

F I

テマコト[®](参考)

H 01 L 21/76

H 01 L 21/76

L 5 F 03 2

21/762

D

審査請求 未請求 請求項の数 3 OL (全 8 頁)

(21) 出願番号

特願2000-285827(P2000-285827)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日

平成12年9月20日(2000.9.20)

(72) 発明者 石塚 典男

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72) 発明者 三浦 英生

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(74) 代理人 100077816

弁理士 春日 譲

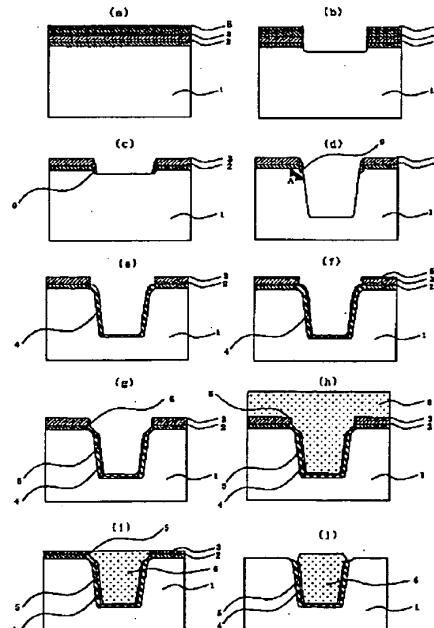
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】酸化膜の過剰な除去を防止して、異物の発生及び電界集中を抑制し、信頼性が高い半導体装置を実現する。

【解決手段】シリコン基板1の表面に形成されたパット酸化膜2、第一のシリコンナイトライド膜3等の所定部分を除去し、溝の形成前にCVD酸化膜9をシリコンナイトライド膜3及びパット酸化膜2の側壁とパット酸化膜2に隣接するシリコン基板1の露出部分の傾斜部分とのみ形成する。CVD酸化膜9を除去して溝上端部の角度θ1より溝側壁部の角度θ2が小の状態で熱酸化膜4及び第二のシリコンナイトライド膜5を形成し、異方性のドライエッチング法により溝上端部のシリコンナイトライド膜5を除去する。これにより、シリコンナイトライド膜5は、溝上端部には存在しないのでシリコンナイトライド膜3を除去する際には溝の側壁部のシリコンナイトライド膜5は除去されない。



【特許請求の範囲】

【請求項1】酸化膜を有する素子分離構造を備える半導体装置において、

上記素子分離構造は溝を有し、この溝の内部は、熱酸化膜と、シリコンナイトライド膜と、埋め込み酸化膜とが形成され、上記シリコンナイトライド膜の上端部は、上記熱酸化膜及び埋め込み酸化膜の上端部より、上記溝の底面側に位置することを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、上記溝側壁に形成されたシリコンナイトライド膜の厚さをd₁とし、溝の底面に形成されたシリコンナイトライド膜の厚さをd₂とすると、d₁はd₂より大であることを特徴とする半導体装置。

【請求項3】半導体装置の製造方法において、

(1) 半導体基板の回路形成面にパッド酸化膜を形成する工程と、

(2) 上記パッド酸化膜の上に第一のシリコンナイトライド膜を形成する工程と、

(3) 所望の位置の上記第一のシリコンナイトライド膜及びパッド酸化膜を除去し、半導体基板表面を露出させる工程と、

(4) 上記第一のシリコンナイトライド膜、パッド酸化膜、露出された半導体基板表面にマスクとなる薄膜を堆積し、その後、異方性のエッチング法にて、第一のシリコンナイトライド膜の側壁のみに上記薄膜を残す工程と、

(5) 上記第一のシリコンナイトライド膜及び上記薄膜をマスクとして、上記半導体基板に所定の溝を形成する工程と、

(6) 上記薄膜を除去する工程と、

(7) 上記半導体基板に形成した溝の表面を酸化し、溝の表面に熱酸化膜を形成する工程と、

(8) 上記第一のシリコンナイトライド膜及び熱酸化膜の表面に第二のシリコンナイトライド膜を形成する工程と、

(9) 溝上端部近傍に形成された上記第二のシリコンナイトライド膜を異方性のエッチングにより除去する工程と、

(10) 上記溝を埋め込み酸化膜で埋め込む工程と、

(11) 上記第一のシリコンナイトライド膜の上に形成された上記埋め込み絶縁膜を除去する工程と、

(12) 上記半導体基板の回路形成面の上に形成された上記第一のシリコンナイトライド膜を除去する工程と、

(13) 上記半導体基板の回路形成面の上に形成された上記パット酸化膜を除去する工程と、

を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信頼性の高い溝分離構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】半導体基板上で隣接したトランジスタ等の素子間を電気的に絶縁分離する構造としてSGI (Shallow Groove Isolation) 構造がある。

【0003】このSGI構造は、シリコン基板に浅溝を形成し、その溝に酸化膜を埋め込んだものであり、加工寸法精度が従来まで用いられてきたLOCOS構造に比べて高いことから、0.25μmプロセス以降のデバイスに好適な構造となっている。

【0004】しかしながら、このSGI構造では、SGI形成後の酸化工程で溝内部が酸化され、酸化時には約2倍の体積膨張を伴うので、溝内部には高い機械的な応力が生じる。そして、この応力が高くなるとトランジスタのリーク電流の増大を招く場合がある。

【0005】これらの応力を生じさせない方法としては、特開平11-260904号公報に開示されているように、溝側壁に酸化防止マスクとなるシリコンナイトライド膜を形成し、溝内部が酸化されないようにする方法がある。

【0006】ここで、従来技術における半導体装置の製造方法について、図7を用いて説明する。図7において、半導体基板1上にパッド酸化膜2と、第一のシリコンナイトライド膜3と、ホトレジスト8とを堆積する(図7の(a))。次に、所望の位置のパッド酸化膜2と、第一のシリコンナイトライド膜3とを除去し、半導体基板1に溝を形成する(図7の(b))。

【0007】その後、溝表面を熱酸化して、溝表面に熱酸化膜4を形成し、次に酸化防止マスクとなる第二のシリコンナイトライド膜5を溝内部に堆積する(図7の(c))。そして、溝部分を埋め込み酸化膜6で埋め込み、CMP法で平坦化する(図7の(d)及び(e))。次に、第一のシリコンナイトライド膜3、パッド酸化膜2を除去する(図7の(f))。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置の製造方法にあっては、溝側壁に酸化防止のマスクとなるシリコンナイトライド膜を堆積することは可能であるが、次に示すように改善を要する点がある。

【0009】CMP法で平坦化した後に、不要になった第一のシリコンナイトライド膜3を除去する。この第一のシリコンナイトライド膜3の除去には、数十度に暖めたリン酸を使用する。

【0010】第一のシリコンナイトライド膜3と第二のシリコンナイトライド膜5とは、図7の(c)に示したように連続的につながっているので、第一のシリコンナイトライド膜3を除去する際に、第二のシリコンナイトライド膜5も除去される。

【0011】また、上記エッチング液は、シリコンナ

トライド膜に対して制御性が劣っており、そのために、第一のシリコンナイトライド膜3をウェハ面内で均一に除去しようとすると、第二のシリコンナイトライド膜5が大きく除去されることとなる。

【0012】さらに、第二のシリコンナイトライド膜5が除去されることによって空間7が形成されてしまう。(図8の(a)に示す)。このような空間7が形成されると、パット酸化膜2を除去した際に、エッチング液がこの空間7に浸入して、第二のシリコンナイトライド膜5の両側の酸化膜4を除去してしまい、「つの10」のようなものが形成される場合がある(図8の(b)参照)。

【0013】半導体の製造工程でこのような「つの10」が形成されると、この「つの10」が折れて異物の発生原因となるので好ましくない。また、空間7があると、埋込み酸化膜6が溝上端部で多く除去される。

【0014】埋込み酸化膜6が多く除去されると、その後にゲート電極膜が溝上端部を囲うように堆積されるので、トランジスタの動作時に溝上端部で電界集中が発生し、電気的特性の低下をもたらす。

【0015】本発明の目的は、酸化膜の過剰な除去を防止して、異物の発生及び電界集中を抑制し、信頼性が高い半導体装置及びその製造方法を実現することである。

【0016】

【課題を解決するための手段】上記目的を達成するために、本発明は次のように構成される。

(1) 酸化膜を有する素子分離構造を備える半導体装置において、上記素子分離構造は溝を有し、この溝の内部は、熱酸化膜と、シリコンナイトライド膜と、埋め込み酸化膜とが形成され、上記シリコンナイトライド膜の上端部は、上記熱酸化膜及び埋め込み酸化膜の上端部より、上記溝の底面側に位置する。

【0017】(2) 好ましくは、上記(1)において、上記溝側壁に形成されたシリコンナイトライド膜の厚さをd1とし、溝の底面に形成されたシリコンナイトライド膜の厚さをd2とすると、d1はd2より大である。

【0018】(3) 半導体装置の製造方法において、(a) 半導体基板の回路形成面にパット酸化膜を形成する工程と、(b) 上記パット酸化膜の上に第一のシリコンナイトライド膜を形成する工程と、(c) 所望の位置の上記第一のシリコンナイトライド膜及びパット酸化膜を除去し、半導体基板表面を露出させる工程と、(d) 上記第一のシリコンナイトライド膜、パット酸化膜、露出された半導体基板表面にマスクとなる薄膜を堆積し、その後、異方性のエッチング法にて、第一のシリコンナイトライド膜の側壁のみに上記薄膜を残す工程と、

(e) 上記第一のシリコンナイトライド膜及び上記薄膜をマスクとして、上記半導体基板に所定の溝を形成する工程と、(f) 上記薄膜を除去する工程と、(g) 上記半導体基板に形成した溝の表面を酸化し、溝の表面に熱

酸化膜を形成する工程と、(h) 上記第一のシリコンナイトライド膜及び熱酸化膜の表面に第二のシリコンナイトライド膜を形成する工程と、(i) 溝上端部近傍に形成された上記第二のシリコンナイトライド膜を異方性のエッティングにより除去する工程と、(j) 上記溝を埋め込み酸化膜で埋め込む工程と、(k) 上記第一のシリコンナイトライド膜の上に形成された上記埋め込み絶縁膜を除去する工程と、(l) 上記半導体基板の回路形成面の上に形成された上記第一のシリコンナイトライド膜を除去する工程と、(m) 上記半導体基板の回路形成面の上に形成された上記パット酸化膜を除去する工程と、を備える。

【0019】半導体基板の表面に形成されたパット酸化膜、第一のシリコンナイトライド膜等の所定部分を除去した後、溝を形成する前に、マスクとなる薄膜を、第一のシリコンナイトライド膜及びパット酸化膜の端面と、半導体基板の露出部分の傾斜部分とにのみ形成する。

【0020】そして、薄膜を除去して、溝上端部の角度より溝側壁部の角度が小の状態で、熱酸化膜及び第二のシリコンナイトライド膜を形成し、その後、異方性のドライエッティング法により、溝上端部の第二のシリコンナイトライド膜5を除去する。

【0021】これによって、第二のシリコンナイトライド膜は、溝上端部には存在しないので、第一のシリコンナイトライド膜を除去する際には溝の側壁部の第二のシリコンナイトライド膜は除去されない。

【0022】したがって、酸化膜の過剰な除去を防止して、異物の発生及び電界集中を抑制し、信頼性が高い半導体装置及びその製造方法を実現することができる。

【0023】

【発明の実施の形態】以下、本発明の一実施形態について添付図面を参照して説明する。図1は、本発明の一実施形態である半導体装置の溝分離構造の製造方法における工程の説明図である。図1において、溝分離構造の製造工程は、以下の(1)～(10)の工程を備える。

【0024】(1) シリコン基板1の表面を熱酸化して、厚さ約10nmのパット酸化膜2と厚さ約200nmの第一のシリコンナイトライド膜3とを形成し、この第一のシリコンナイトライド膜3の上にホトレジスト8を形成する(図1の(a))。

【0025】(2) 次に、通常の露光法を使用して、上記(1)で形成したホトレジスト8のうち、所望の位置のホトレジスト8を除去した後、所望の位置の第一のシリコンナイトライド膜3及びパット酸化膜2を除去する。この際、シリコン基板1が少しオーバーエッチングされる(図1の(b))。

【0026】(3) 続いて、残っているホトレジスト8を除去した後に、化学気相蒸着(CVD)法で作製したCVD酸化膜9を堆積させ、その後、異方性のドライエッティング法で、CVD酸化膜9を、第一のシリコンナ

トライド膜3及びバット酸化膜2の側壁とオーバエッチングされた部分のバット酸化膜2に隣接するシリコン基板1の露出部分の傾斜部分とにのみ残す(図1の(c))。

【0027】(4) 次に、第一のシリコンナイトライド膜3及びCVD酸化膜9をマスクとして、シリコン基板1の表面の側壁がシリコン基板1に対して所定の角度(例えば、図1中のA部の角度が90度~110度)を有する溝を形成する(図1の(d))。

【0028】(5) その後、CVD酸化膜9をHF等により除去し、シリコン基板1の表面を約10nm熱酸化し、溝部分に熱酸化膜4を形成する(図1の(e))。この場合、酸化膜9をHF等で除去する際にバット酸化膜2は、第一のシリコンナイトライド膜3の端面から10nm~20nm程度後退される。つまり、第一のシリコンナイトライド膜3の端面は、バット酸化膜2の端面から10nm~20nm程度突出し、突出した部分の下面部とシリコン基板1とバット酸化膜2の端面で形成される空間は、熱酸化膜4が埋め込まれることとなる。

【0029】(6) 次に、第二のシリコンナイトライド膜5をCVD法等により約10nm程度、第一のシリコンナイトライド膜3及び熱酸化膜4の表面に堆積する(図1の(f))。

【0030】(7) 続いて、異方性のドライエッティング法により、溝上端部近傍の第二のシリコンナイトライド膜5を除去する(図1の(g))。つまり、熱酸化膜4表面に堆積された第二のシリコンナイトライド膜5のうち、溝側壁部の上端部近傍に堆積された第二のシリコンナイトライド膜5を除去する。

【0031】(8) 次に、CVD法、スパッタ法等でシリコン酸化膜等の絶縁膜を堆積し、溝を埋め込む(以下、埋込み絶縁膜6とする)。また、これら化学気相蒸着法、スパッタ法等で製作したシリコン酸化膜等は一般に粗な膜であることから、埋め込み絶縁膜6の堆積後、緻密化を目的として、1100°C前後のアニール処理を行う(図1の(h))。

【0032】(9) 続いて、埋め込み絶縁膜6を化学機械研磨法(CMP)法あるいはドライエッティング法を使用してエッチバックする。この場合、第一のシリコンナイトライド膜3は、エッティングストップーとなり、シリコン基板1がエッチングされることを防止する機能を有する(図1の(i))。

【0033】(10) そして、第一のシリコンナイトライド膜3及びバット酸化膜2を除去することで溝埋め込み工程は完了する(図1の(j))。

【0034】その後、トランジスタ構造に必要な、例えばゲート酸化膜、ゲート電極の形成、不純物の導入、配線、層間絶縁膜等、多層配線構造の形成、表面保護膜の形成等を経て、半導体装置が完成する。

【0035】本発明の一実施形態における、図1の(e)に示す工程後の形状を図2に示すが、第一のシリコンナイトライド膜3の端面より、シリコン基板1が突き出した形状となる(図2のJで示す領域)。

【0036】また、シリコン基板1の溝上端面とシリコン基板1の上下面と直交する線とのなす角度($\theta 1$)と、溝側壁とシリコン基板1の上下面と直交する線とのなす角度($\theta 2$)は互いに異なるものとなる($\theta 1 > \theta 2$)。

【0037】これは、図1の(d)に示す工程でCVD酸化膜9をマスクとして溝を形成しているためである。この状態で、つまり、角度 $\theta 1$ より角度 $\theta 2$ が小の状態で、第二のシリコンナイトライド膜5を堆積し、異方性的ドライエッティング法(深さ方向にエッティングが進む)で、この膜5を除去すると、角度が小さい程、深さ方向のシリコンナイトライド膜5の膜厚が実質的に厚くなるので、角度が大きい $\theta 1$ の部分の方が、早くエッティングされる。

【0038】したがって、この角度 $\theta 1$ の部分である溝上端部近傍の第二のシリコンナイトライド膜5が除去される。

【0039】これによって、第一のシリコンナイトライド膜3と第二のシリコンナイトライド膜5は、角度 $\theta 1$ の部分で分断され、連続的には存在しないので、CMPの後で第一のシリコンナイトライド膜3を除去する際に、溝の側壁部の第二のシリコンナイトライド膜5は除去されない。

【0040】のことから、図8に示した空間7が形成されないので従来方法で発生していた「つの10」も生じず、この「つの10」が折れて異物になることはない。さらに、エッティング液が浸入しないので埋め込み酸化膜6が、図8の(b)に示すように、溝上端部で多く除去されることはない。

【0041】以上のように、本発明の一実施形態によれば、シリコン基板1の表面に形成されたバット酸化膜2、第一のシリコンナイトライド膜3等の所定部分を除去した後、溝を形成する前に、CVD酸化膜9を、第一のシリコンナイトライド膜3及びバット酸化膜2の端面とバット酸化膜2に隣接するオーバエッティングされた部分のシリコン基板1の露出部分の傾斜部分とにのみ形成する。そして、CVD酸化膜9を除去して、溝上端部の角度 $\theta 1$ より溝側壁部の角度 $\theta 2$ が小の状態で、熱酸化膜4及び第二のシリコンナイトライド膜5を形成し、その後、異方性的ドライエッティング法により、溝上端部のシリコンナイトライド膜5を除去する。

【0042】これによって、第二のシリコンナイトライド膜5は、溝上端部には存在しないので、第一のシリコンナイトライド膜3を除去する際には溝の側壁部の第二のシリコンナイトライド膜5は除去されない。

【0043】したがって、酸化膜の過剰な除去を防止し

て、異物の発生及び電界集中を抑制し、信頼性が高い半導体装置及びその製造方法を実現することができる。

【0044】なお、第二のシリコンナイトライド膜5は、シリコン基板1の表面より、突出していると段差の原因となるので、図3に示すように、シリコン基板1の表面12より下方に存在することが好ましい。

【0045】また、図4の(a)に示すように、トランジスタの形成過程で、熱酸化膜4と埋込み絶縁膜6との第二のシリコンナイトライド膜5に対する落ち込みBが大きい場合には、堆積させた第二のシリコンナイトライド膜5の一部が突出して、「つの」が形成される場合がある。

【0046】このような場合には、第二のシリコンナイトライド膜5の堆積後に、ドライエッティング量を変えることで、図6の(b)に示すように、第二のシリコンナイトライド膜5の除去量を調節することができるので、「つの」の発生を防止することができる。

【0047】なお、図5に示すように、熱酸化膜4と埋込み酸化膜6の間に酸化膜11が存在する構成の例があるが、この場合においても埋め込み酸化膜6と酸化膜11との間に、上述した本発明の一実施形態と同様にして、第二のシリコンナイトライド膜5を堆積することで、「つの」の発生等が防止され、シリコン基板1の溝内部の酸化防止を行うことができる。

【0048】また、溝底の第二のシリコンナイトライド膜5は、図1に示した工程(g)のドライエッティングによってエッティングされる。この溝底の膜5の膜厚変化量は、溝の側壁の第二のシリコンナイトライド膜5に比べ、異方性のエッティングを行っているので大きくなる。

【0049】そのため、図6の(a)に示すように、溝の側壁の膜5の厚さd1よりも溝底の膜5の厚さd2のほうが一般に薄くなり、ドライエッティング量が多い場合には、図6の(b)に示したように溝底の第二のシリコンナイトライド膜5はすべて除去されている。

【0050】なお、厚さd1の位置は、溝形状(熱酸化膜4の形状)が溝中央部近傍位置での側壁の接線と交わらなくなる位置である。

【0051】また、上述した例においては、CVD酸化

膜9をマスクとして溝を形成しているが、このマスクとしては、CVD酸化膜ではなく、他の方法により形成される薄膜であっても本発明は適用可能である。

【0052】

【発明の効果】本発明によれば、溝分離構造を有する半導体装置において、第二のシリコンナイトライド膜を溝側壁部に形成するが溝上端部には形成されないように構成したので、酸化膜の過剰な除去を防止して、異物の発生及び電界集中を抑制し、信頼性が高い半導体装置及びその製造方法を実現することができる。

【0053】また、酸化雰囲気環境でも溝側壁では酸化反応が起らうことから応力も発生せず、トランジスタの接合リード電流の増加を防ぐことができ、性能の高い半導体装置を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る一実施形態における溝分離構造の製造工程の模式図である。

【図2】本発明に係る一実施形態の説明図である。

【図3】本発明に係る一実施形態の補足説明図である。

【図4】本発明に係る一実施形態の補足説明図である。

【図5】本発明に係る一実施形態の補足説明図である。

【図6】本発明に係る一実施形態の補足説明図である。

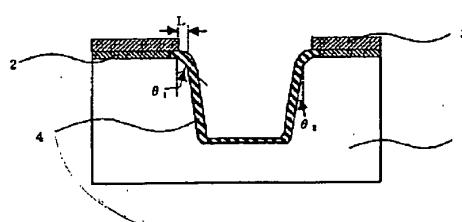
【図7】従来の溝分離構造の製造工程を示す説明図である。

【図8】従来の溝分離構造の説明図である。

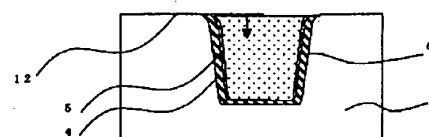
【符号の説明】

1	シリコン基板	✓
2	パット酸化膜	
3	第一のシリコンナイトライド膜	
4	熱酸化膜	
5	第一のシリコンナイトライド膜	
6	埋め込み絶縁膜	
7	空間	
8	ホトレジスト	
9	CVD酸化膜	
10	つの	
11	酸化膜	
12	シリコン基板表面	

【図2】

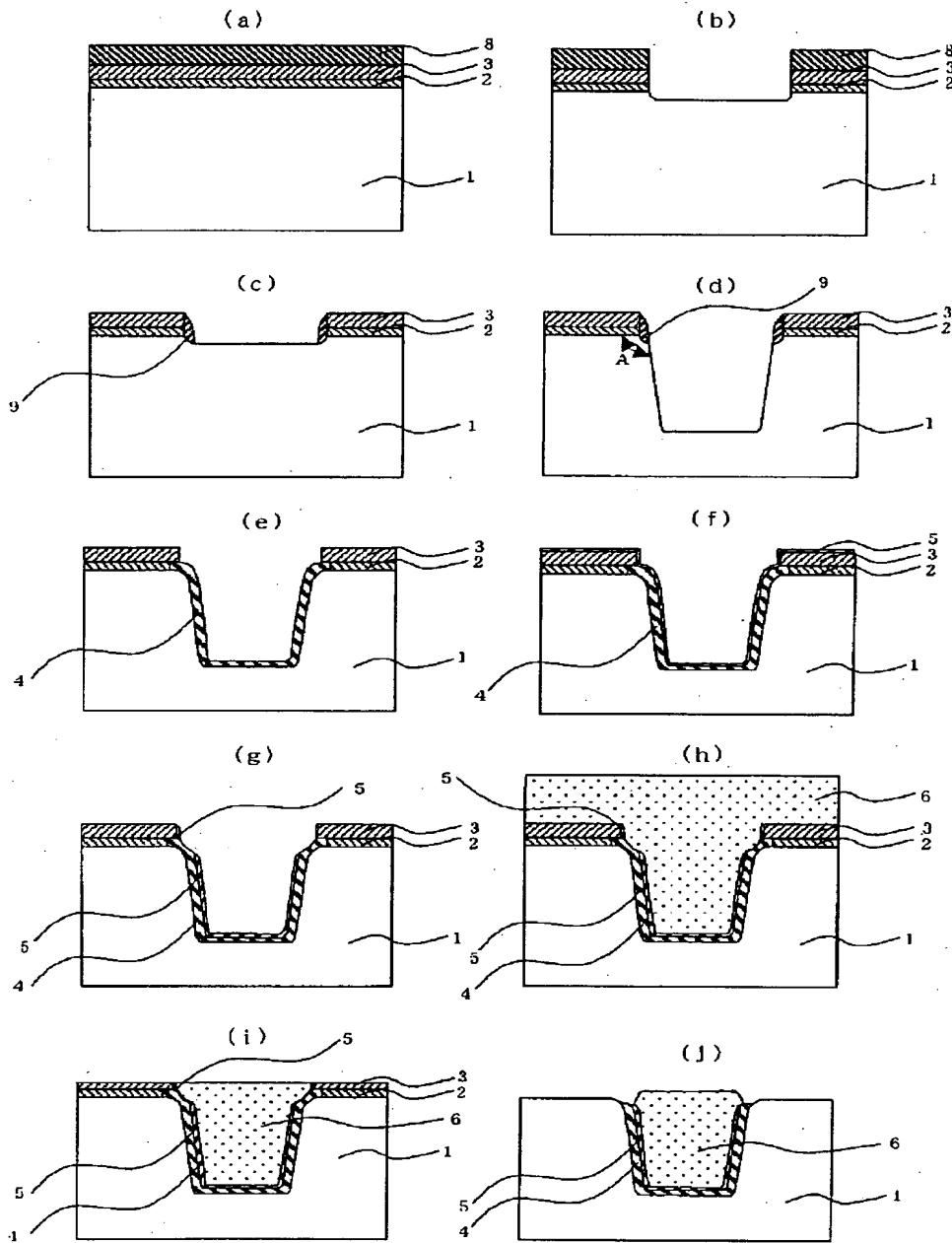


【図3】

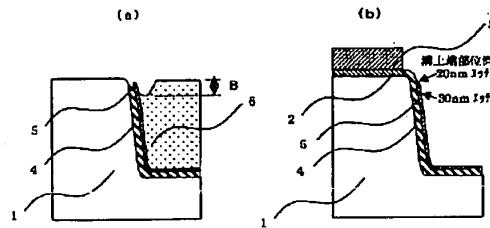


(6) 002-100671 (P2002-1058

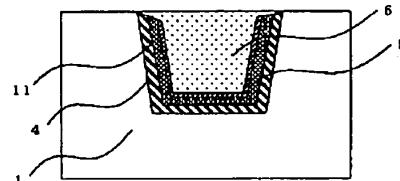
【図1】



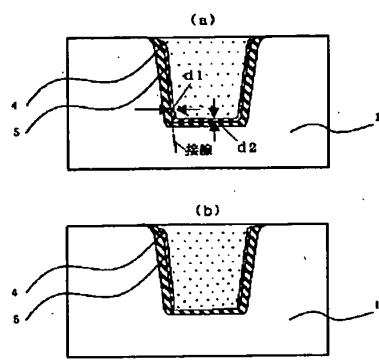
【図4】



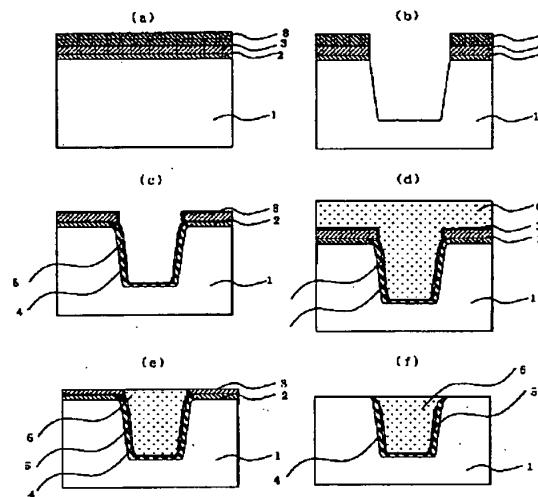
【図5】



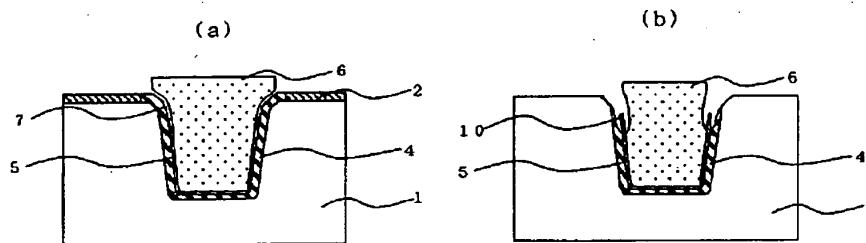
【図6】



【図7】



【図8】



フロントページの続き

(72) 発明者 鈴木 範夫
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 池田 修二
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(8) 002-100671 (P 2002-1058)

(72)発明者 太田 裕之
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

Fターム(参考) 5F032 AA16 AA35 AA36 AA44 AA46
AA77 BA01 BB01 CA24 DA23
DA25 DA28 DA74 DA78